

**SUPERCONDUCTING FPGA DEVICE**

**Publication number:** JP8148989 (A)

**Publication date:** 1996-06-07

**Inventor(s):** HATANO MUTSUOKO; NAGAISHI HIDEYUKI; HOSOYA MUTSUMI

**Applicant(s):** HITACHI LTD

**Classification:**

- international: H01L39/22; H01L21/82; H01L27/118; H03K17/00; H03K19/195; H01L39/22;  
H01L21/70; H01L27/118; H03K17/00; H03K19/02; (IPC1-7): H03K19/195;  
H01L27/118; H01L39/22; H03K17/00

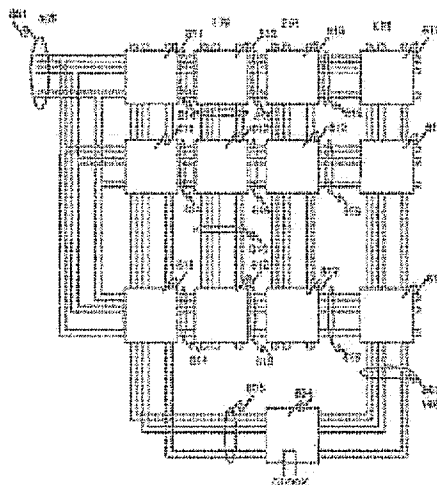
- European:

**Application number:** JP19940284733 19941118

**Priority number(s):** JP19940284733 19941118

**Abstract of JP 8148989 (A)**

**PURPOSE:** To configure the FPGA device with low power consumption at a high speed by using a Josephson integrated circuit. **CONSTITUTION:** The device is provided with logic units having a prescribed logic function arranged as a matrix and a wiring unit 812 located between logic units 812 in the vertical direction and the horizontal direction and connected to the logic unit 8, and the connection between the logic unit 812 and the wiring unit and the connection between the vertical and horizontal wires are made by using a superconducting multiplexer 811 and an objective logic function is realized between input terminals and output terminals being parts of the wiring unit 812.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-148989

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl. <sup>5</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 3 K 19/195	Z A A	9199-5K		
H 0 1 L 27/118				
39/22	Z A A K			
H 0 3 K 17/00	Z A A F	9184-5K		
			H 0 1 L 21/ 82	M
			審査請求 未請求 請求項の数4	OL (全 7 頁)

(21) 出願番号 特願平6-284733

(22) 出願日 平成6年(1994)11月18日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 波多野 睦子

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 永石 英幸

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 細谷 睦

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

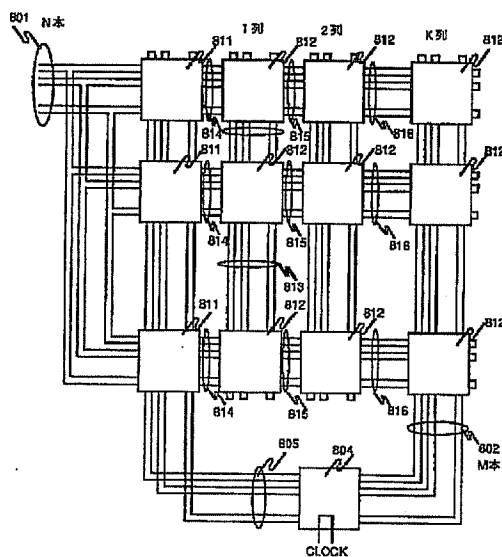
(54) 【発明の名称】 超電導FPGA装置

(57) 【要約】

【目的】 ジョセフソン集積回路で高速かつ低消費電力のFPGA装置を構成する。

【構成】 格子状に整列された一定の論理機能を有する論理ユニットと、該論理ユニットの垂直方向と水平方向との間に設けられ、前記論理ユニットに接続された配線ユニットとからなり、前記論理ユニットと配線ユニットとの接続、及び垂直側と水平側配線との接続に超電導マルチプレクサが使用されており、前記超電導マルチプレクサの切り替え制御により、配線ユニットの一部である入力端子と出力端子との間に目的とする論理機能を実現する。

図4



## 【特許請求の範囲】

【請求項1】格子状に整列された一定の論理機能を有する論理ユニットと、前記論理ユニットの垂直方向と水平方向との間に設けられ、前記論理ユニットに接続された配線ユニットとからなり、前記論理ユニットと前記配線ユニットとの接続、及び垂直方向配線と水平方向配線との接続に超電導マルチプレクサが使用され、前記超電導マルチプレクサの切り替え制御により、前記配線ユニットの一部である入力端子と出力端子との間に目的とする論理機能を実現することを特徴とする超電導FPGA装置。

【請求項2】請求項1に記載の前記超電導マルチプレクサは、一本の信号配線と信号配線のイネーブル配線が正方向に輸入される正側ジョセフソン素子と、前記信号配線が逆方向に輸入され、前記信号配線のイネーブル配線が正方向に輸入される逆側ジョセフソン素子とを一組とし、それらの複数組を従属接続してなり、複数組のうちの一組にイネーブル入力を与えられることにより、その一組と同一の組の信号線の入力が出力に現われる超電導FPGA装置。

【請求項3】請求項2に記載の前記イネーブル入力は、2個のジョセフソン素子とそれらを直列接続する超電導配線とで構成される超電導ループのループ電流として供給され、前記FPGA装置に論理機能を設定する論理プログラム時にループ電流が設定されて超電導マルチプレクサの特定入力の選択を実現し、論理実行時にはその選択状態を保持する超電導FPGA装置。

【請求項4】請求項1において、順序回路を模擬する機能を有するフリップフロップユニットを含み、前記フリップフロップユニットの出力は前記超電導マルチプレクサを介して論理ユニットと配線ユニットの配列の先頭に帰還されている超電導FPGA装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ボードに実装した状態でLSIに論理機能を設定可能なフィールドプログラマブルゲートアレイ(Field Programmable Gate Array, 以下、FPGA)装置に係り、特に、論理素子及びプログラム素子にジョセフソン素子を用いた超電導FPGA装置に関する。

## 【0002】

【従来の技術】ボードに実装した状態でLSIに論理機能を設定可能なFPGA装置に関しては、従来多数の製品が発表されている。中でも代表的なザイリンクス(Xilinx)社のFPGA装置が日経マイクロデバイス No.1 08, 60ページ, (1994年)に記述されている。

【0003】ザイリンクス社のFPGA装置は、可変論理ユニットの入出力端子を水平または垂直方向配線チャネルに選択接続することにより、ユーザの希望する任意の論理機能をLSIチップ内に実現できる。

【0004】論理エミュレーション装置の全体構成を図5に示す。同図で101はエミュレーション装置全体を収容するLSIチップ、102は可変論理ユニット、103はI/Oユニット、104は水平方向配線、105は垂直方向配線である。可変論理ユニットの入出力端子を水平または垂直方向配線に選択接続することにより、希望する任意の論理機能をLSIチップ内に実現できる。なお装置の配線には超電導線を用いることにより信号の遅延を減少させて、高速化、低消費電力化を図る。

【0005】可変論理ユニットの構成を図6に示す。同図で201はユーザプログラマブルルックアップテーブル、202はユーザプログラマブルマルチプレクサ、203はフリップフロップ、204は入力信号線、205は出力信号線である。

【0006】ユーザプログラマブルルックアップテーブル201の内容及びユーザプログラマブルマルチプレクサ202の切替はRAMセル群206により制御される。可変論理ユニットの入出力配線は、水平方向配線または垂直方向配線とスイッチマトリックスで接続される。同様に水平方向配線と垂直方向配線はスイッチマトリックスで接続される。スイッチマトリックスは配線間スイッチを格子状に整列させたものである。

【0007】配線間スイッチ305の構成を図7に示す。同図で401はCMOSのスイッチであり、水平方向配線104と、垂直方向配線105を接続する。接続の制御はRAMセル402により行われる。RAMセル402の内容は‘1’であると水平方向配線104と、垂直方向配線105は接続され、‘0’であると両者は切り離される。CMOSスイッチ401はオフ時に殆ど無限大の抵抗値を実現できるので、理想的な双方向スイッチとして動作可能である。

【0008】以上のようなFPGA装置は配線間スイッチ305の切り替えにより、任意の機能を実現できる。CMOS集積化技術の進歩により、1LSI内に等価的に実現できる論理回路の規模も数千ゲートに達する。このため、このようなFPGA装置はLSIの試作前のボードの動作検証や論理エミュレーション装置として広く用いられている。

## 【0009】

【発明が解決しようとする課題】音声や画像のLSIの検証は実時間で行う必要が有る。その際に要求される速度はクロック200MHzから500MHz以上である。さらに対象が並列に展開できないので並列処理や分散処理をさせることが不可能である。

【0010】従来のFPGA装置を応用した論理エミュレーション装置の制約は、等価的な論理を本来目的とするLSI上に最適な形で実現した場合に対比して、動作速度が遅いことにある。例えば、現在のサブミクロンCMOSプロセスで最適設計を行えばクロック100MHz程度の論理回路を実現することは可能であるが、論理

エミュレーション装置で実現可能な速度は10MHz程度である。

【0011】これは、プログラマビリティを実現する手段としてCMOSあるいはフラッシュメモリを配線間スイッチ用の素子として用いた場合、論理ゲート間に介在している配線チャネルや配線間スイッチの寄生容量や寄生抵抗が大きいためである。このため実時間との差が20倍以上あり、これでは実時間での論理ネットリストの検証が困難となる。

【0012】一方、配線間スイッチ用の素子として、パイポーラやGaAs素子のSRAMを用いた場合、SRAMは6個以上のフリップフロップ回路から構成されているため、素子数が膨大となることから高集積化が困難である。さらに、CMOS、パイポーラ素子あるいはフラッシュメモリを用いると、素子の駆動電圧が1V以上であるため消費電力が大きくなり、高集積化ができなくなるとともに、通信用の携帯機器への適用が困難である。また、従来のFPGA装置にSRAMを用いたものでは、電源を落すと書き込んだプログラムが消去されるという問題があった。

【0013】本発明の第一の目的は、高速で動作可能なFPGA装置を提供することにある。

【0014】本発明の第二の目的は、低消費電力で動作可能なFPGA装置を提供することにある。

【0015】本発明の第三の目的は、電源を落しても論理実行時にはその選択状態を保持することができるFPGA装置を提供することにある。

【0016】

【課題を解決するための手段】本発明のこれらの目的は、格子状に整列された一定の論理機能を有する論理ユニットと、該論理ユニットの垂直方向と水平方向との間に設けられ、前記論理ユニットに接続された配線ユニットとからなり、前記論理ユニットと配線ユニットとの接続、及び垂直側と水平側配線との接続に超電導マルチプレクサが使用されており、前記超電導マルチプレクサの切り替え制御により、配線ユニットの一部である入力端子と出力端子との間に目的とする論理機能を実現することにより達成される。本発明は、FPGA装置をCMOS技術ではなく、より高速の超電導集積回路技術で構成することにより、等価的な論理を目的とするLSI上に最適な形で実現した場合以上の性能を実現しようとするものである。

【0017】

【作用】代表的な超電導集積回路であるジョセフソン集積回路では、2 $\mu$ m程度のプロセスを用いても1GHz以上の動作クロックが実現可能である。プログラマビリティを実現する手段として、論理ゲート間に配線チャネルや配線間スイッチを介在させても100MHz以上の動作クロックが実現可能である。さらに超電導マルチプレクサの特定入力の選択により、論理機能を設定する論

理プログラム時に超電導ループ電流が設定されて、論理実行時には電源を落してもその選択状態を保持することができる。

【0018】但し、ジョセフソン素子のオフ時の抵抗値を無限大にすることは不可能である。その代わりオン時の抵抗はゼロとすることができる。このため、CMOSのような双方向スイッチを使用する代わりにマルチプレクサのみを組み合わせて配線間接続のプログラマビリティを確保することになる。このためFPGA装置全体の構成方法が異なってくる。

【0019】

【実施例】図1に本発明の超電導FPGA装置の基本要素である超電導プログラマブル多入力マルチプレクサの構成を示す。同図で501～503は肯定入力側ジョセフソン素子、511～513は否定入力側ジョセフソン素子、521、522は負荷抵抗、523は電源安定化抵抗である。

【0020】第一の肯定入力側（正側）ジョセフソン素子501及び第一の否定入力側（逆側）ジョセフソン素子511には共に正向きにループ信号S1が印加されている。さらにジョセフソン素子501及び511には入力信号A1がそれぞれ正向き及び逆向きに印加されている。一方、プログラム用ジョセフソン素子531、リセット用ジョセフソン素子532に配線ループ533を直列接続したもの、ダンピング抵抗534を並列に接続したものにも直流電流Ibが供給されている。プログラム用ジョセフソン素子531にはプログラム信号P1が供給されている。リセット用ジョセフソン素子532にはリセット信号R1が供給されている。

【0021】直流電流Ibを供給した状態でプログラム信号P1を供給することにより、配線ループ533に直流電流が流れ、ジョセフソン素子501及び511に印加されるループ信号がオンとなる。配線ループ533はプログラム用ジョセフソン素子531及びリセット用ジョセフソン素子532とともに超電導ループを形成するので、ループ信号は直流電流Ibを遮断しても消失しない。すなわち、超電導ループは不揮発的な機能を有する。ループ信号を消失させるためには、リセット信号R1を印加する。

【0022】同様に、第二の肯定入力側ジョセフソン素子502及び第二の否定入力側ジョセフソン素子512には、共に正向きにループ信号S2が印加されている。さらにジョセフソン素子502及び512には、入力信号A2がそれぞれ正向き及び逆向きに印加されている。一方、プログラム信号P2をプログラム用ジョセフソン素子535に供給することにより、ジョセフソン素子502及び512に印加されるループ信号がオンとなる。

【0023】同様に、第Nの肯定入力側ジョセフソン素子503及び第Nの否定入力側ジョセフソン素子513には、共に正向きにループ信号SNが印加されている。

さらにジョセフソン素子503及び513には、入力信号ANがそれぞれ正向き及び逆向きに印加されている。一方、プログラム信号PNをプログラム用ジョセフソン素子536に供給することにより、ジョセフソン素子503及び513に印加されるループ信号がオンとなる。

【0024】ジョセフソン素子501~503, 511~513は、ループ信号がオンとなったもののみイネーブル(有効選択)され、イネーブルされた素子に印加される入力信号がオンであれば出力信号もオンとなり、入力信号がオフであれば出力信号もオフとなる。即ち、イネーブルされた素子に印加される入力信号に一致した出力信号が発生する。ただしループ信号としては、N本の中から1本だけを選択する。またループ信号はプログラム信号により発生するので、プログラム信号で選択された入力信号が出力に現われることになる。すなわちプログラマブル多入力マルチプレクサとして動作することになる。

【0025】図2に、以下の実施例の説明で使用するプログラマブル多入力マルチプレクサのシンボル図を示す。特に断らない限り、シンボル図601のように、プログラム信号や電源電流は省略し、A1~ANの入力信号と出力信号OUTのみを記す。入力信号A1~ANが次段でも使用される場合、602のように記す。入力信号A0がその段でのみ使用される場合、603のように記す。

【0026】図3に本発明の超電導FPGA装置の基本ユニットである論理/配線ユニットの構成を示す。同図で701は当該段へのN本の入力バスであり、702は次段へN本の出力バスである。703はM本の内部バスである。711は可変論理ユニットであり、ジョセフソン素子からなる複数のORとANDで構成されている。これらのORとANDの配線接続により、任意の論理を組むことができる。

【0027】可変論理ユニット711の入力の一部はプログラム入力712として与えられる。残りの入力713はN入力マルチプレクサ714で入力バスを選択接続して得られる。可変論理ユニット711の出力信号線は出力バスの1本を構成する。当該段への入力バス701の第1行とM本の内部バス703から、(M+1)入力マルチプレクサにより、次段への出力バス702の第i行が選択される。なお、このN個の(M+1)入力マルチプレクサの部分716をN×Mマルチプレクサとして、他の部分にも用いる。

【0028】本実施例では可変論理ユニットで論理を組んだが、可変論理ユニットをプログラマブル多入力マルチプレクサの超電導ループで構成し、該マルチプレクサを用いて論理を組むこともできる。

【0029】図4に本発明の超電導FPGA装置の全体構成を示す。同図で801は装置全体への入力バスで、N本ある。一方、802は装置全体からの出力バスで、

M本ある。出力バスは、フリップフロップユニット804にも帰還される。フリップフロップユニット804はクロックを供給されるM個のフリップフロップを並列に配置したものである。フリップフロップユニット804のM本の出力805はN×Mマルチプレクサ811の内部バスに接続される。

【0030】装置全体への入力バス801はN×Mマルチプレクサ811の入力バスに接続される。N×Mマルチプレクサ811はM個存在し、内部の構成は図3の716に示した。本装置の中核をなすものはM行K列に配列された論理/配線ユニット812である。第一列のM個の論理/配線ユニットは、相互にM本の内部バス813で接続されており、かつそれぞれN×Mマルチプレクサ811の各N本の出力バス814を入力バスとして受け入れる。

【0031】同様に第2列のM個の論理/配線ユニットは、第1列の出力バス815を入力バスとして受け入れる。同様に最終列である第K列のM個の論理/配線ユニットは、第(K-1)列の出力バス816を入力バスとして受け入れる。そして第K列のM個の論理/配線ユニットの内部バスが装置全体からの出力バス802に接続される。

【0032】本発明のFPGA装置では、半導体FPGA装置におけるCMOSスイッチの代わりにプログラマブル多入力マルチプレクサを用いているため、論理/配線ユニットの配列内で双方向に信号を授受することはできない。第1列の論理/配線ユニットの出力は第(i+1)列に受け継がれ、逆方向には伝播できない。このため、模擬しようとする論理回路のラッチ間論理段数は、可変論理ユニット内論理段数×論理/配線ユニット列数(K)以内でなくてはならない。可変論理ユニットは組み合わせ回路であるため、任意の順序回路を模擬する場合にはラッチが必要となる。本発明では、順序回路をフリップフロップユニット804を用いて実現する。フリップフロップユニット804の出力805はN×Mマルチプレクサ811を介して論理/配線ユニットの配列の先頭に帰還されているため、一定の規模の組み合わせ回路と順序回路の両方を含む回路を模擬することが可能となる。

【0033】図4の超電導FPGA装置をさらに大規模に接続し、X方向にP列、Y方向にQ列配置することにより、全体で模擬可能な論理規模を(P×Q)倍に拡大することができる。これにより大規模な論理機能、例えば論理エミュレーション装置の実現が可能となる。

【0034】本実施例によれば超電導プログラマブル多入力マルチプレクサを用いてFPGA装置を構成できるので、高速で低消費電力で動作するFPGA装置を実現することが可能である。また高集積化を図ることもできる。さらに、電源を落しても論理実行時にはその選択状態を保持する不揮発的な動作をするFPGA装置を提供

【0035】

【図面の簡単な説明】

【図2】本発明の多入力マルチプレクサのシンボルの説明図。

【図４】本発明の超電導ＦＰＧＡ装置の全体構成を示す系統図。

【図5】従来のFPGA装置の全体構成を示す説明図。

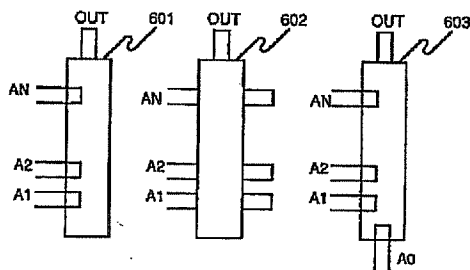
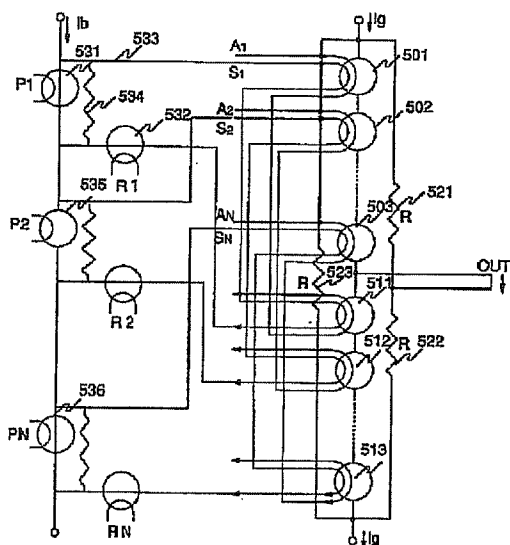
【図 7】従来の F P G A 装置における配線間スイッチの構成を示す説明図。

10 【符号の説明】

801…入力バス、802…出力バス、804…フリップフロップユニット、805…出力、811…N×Mマルチプレクサ、812…論理/配線ユニット、813…内部バス、814…出力バス、815…出力バス、816…出力バス。

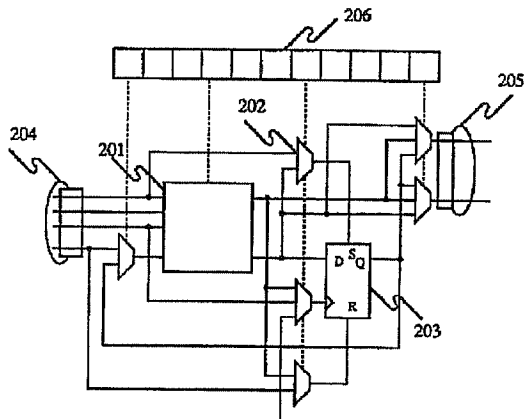
【图2】

圖2



【図6】

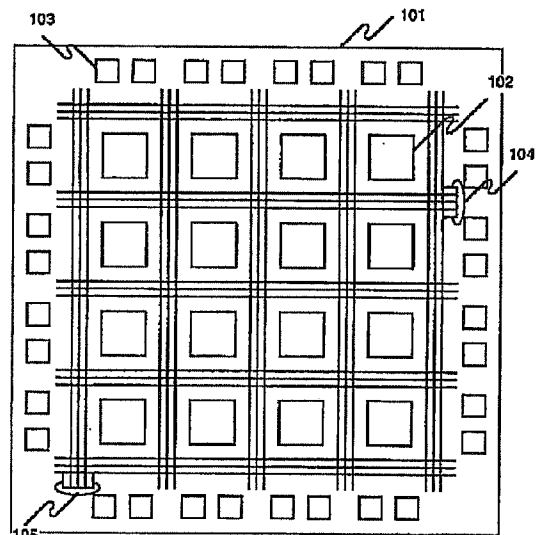
图6



【図3】



圖 4



【図7】

